



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 198 41 470 A 1

51 Int. Cl. 7:
G 11 C 29/00

21 Aktenzeichen: 198 41 470.6
22 Anmeldetag: 10. 9. 1998
43 Offenlegungstag: 13. 4. 2000

DE 198 41 470 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Herndl, Thomas, Dipl.-Ing., Biedermannsdorf, AT;
Pfeil, Dirsko von, 82069 Hohenschäftlarn, DE

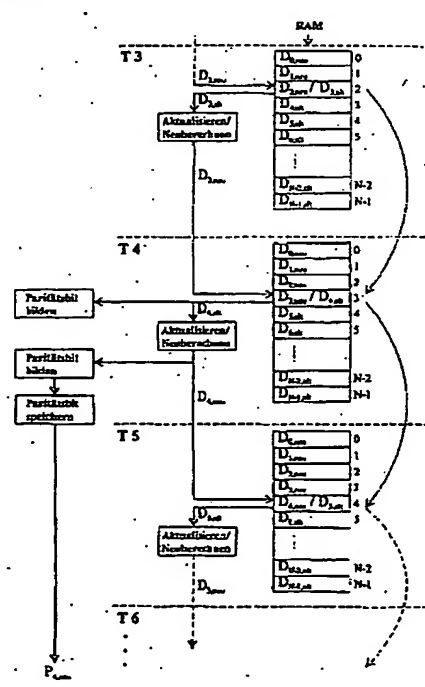
56 Entgegenhaltungen:
Mikroelektronische Speicher, v. D. Rhein u. H.
Freitag, Springer-Verlag, 1992, Kap.7.4.2,
S. 220-231;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zur Fehlerprüfung eines Schreib-Lese-Speichers

57 Ein Verfahren zur Fehlerprüfung eines Schreib-Lese-Speichers mit N Adressen, bei sequentiell und periodischem Schreiben und Lesen, bei welchem innerhalb eines Taktes (T4) ein Datenwort ($D_{4,alt}$) aus einer Adresse (3) gelesen und dazu ein Paritätsbit ($P_{4,alt}$) gebildet, und das Datenwort bearbeitet wird, zu dem bearbeiteten Datenwort ($D_{4,neu}$) ein Paritätsbit ($P_{4,neu}$) gebildet und gespeichert wird, und das neue Datenwort ($D_{4,neu}$) in dem darauffolgenden Takt (T5) nach Auslesen des Datenwortes ($D_{5,alt}$) aus der nächsthöheren Adresse (4) in diese Adresse geschrieben wird, N Takte darauf innerhalb eines Taktes (T_{N+4}) das Datenwort ($D_{N,alt}$) wiederum gelesen wird, zu diesem Datenwort ($D_{N,alt}$) ein Paritätsbit ($P_{N,alt}$) gebildet wird, das Paritätsbit ($P_{N,alt}$) mit dem vorhergehenden Paritätsbit ($P_{4,neu}$) dieses Datenwortes (D4) verglichen wird, das Datenwort ($D_{N,alt}$) bearbeitet wird, zu dem bearbeiteten Datenwort ($D_{N,neu}$) erneut ein Paritätsbit ($P_{N,neu}$) gebildet und gespeichert wird, und das neue, bearbeitete Datenwort ($D_{N,neu}$) nach Auslesen des Datenwortes ($D_{5,alt}$) aus der nächsthöheren Adresse (5) in diese Adresse geschrieben wird.



DE 198 41 470 A 1

BEST AVAILABLE COPY

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Fehlerprüfung eines Schreib-Lese-Speichers mit N Adressen, in dem Datenwörter der Breite M gespeichert werden, wobei die Datenwörter sequentiell und periodisch in Verarbeitungsschritten aus dem Speicher gelesen, sodann bearbeitet und daraufhin wieder in den Speicher geschrieben werden, und die Datenwörter zur Fehlerprüfung mit Paritätsbits versehen werden.

Um Fehler innerhalb eines Schreib-Lese-Speichers, im folgenden kurz RAM bezeichnet, aufzufinden, wird in manchen Anwendungsfällen ein laufender Speichertest durchgeführt. Dabei wird für jedes einzelne RAM-Wort ein Redundanzbit, d. h. ein Paritätsbit bereitgestellt und mitgespeichert. Ergibt die Paritätsprüfung nach dem Auslesen einen anderen Wert als vor dem Speichern, so kann auf einen Fehler des Speicherplatzes geschlossen werden.

Insbesondere bei Anwendungen, die hinsichtlich Stromaufnahme und Bauvolumen kritisch sind, z. B. im Mobilfunkbereich, ist das bekannte Verfahren nachteilig, da zusätzlicher Speicherplatz benötigt wird, der die Chip-Fläche des RAM einerseits und die Verlustleistung des RAM andererseits vergrößert.

Eine Anwendung, von welcher die Erfindung ihren Ausgang nahm, sind digitale Filter, hier FIR-Filter, zur Echokompensation in Mobilfunk- und Satellitenfunkgeräten oder ähnlichen Systemen. Dabei liegen beispielsweise N PCM-Kanäle vor, und für jeden Kanal werden M Filterkoeffizienten benötigt, die im Sinne eines adaptiven Filters entsprechend den tatsächlich vorliegenden Echoverhältnissen ständig neu berechnet und wieder abgespeichert werden müssen. Zur Paritätsüberprüfung aller Speicherplätze sind demgemäß $M \cdot N$ Paritätsbits erforderlich, in praktischen Anwendungsfällen z. B. $508 \times 32 = 16\,256$ Paritätsbits. Dabei betragen die Abtastschritte beispielsweise 125 μ s.

Eine Aufgabe der Erfindung liegt darin, eine laufende Überprüfung sämtlicher Speicherplätze bei Verringerung der für Paritätsbits erforderlichen Speicherplätze zu ermöglichen.

Die gestellte Aufgabe wird, ausgehend von einem Verfahren der eingangs genannten Art, erfindungsgemäß dadurch erreicht, daß innerhalb eines Taktes ein Datenwort aus einer Adresse gelesen und zu diesem Datenwort ein Paritätsbit gebildet wird, das Datenwort bearbeitet wird, zu dem bearbeiteten, neuen Datenwort ein Paritätsbit gebildet und gespeichert wird, und das neue Datenwort in dem darauffolgenden Takt nach Auslesen des Datenwortes aus der nächsthöheren Adresse in diese Adresse geschrieben wird, N Takte darauf innerhalb eines Taktes das Datenwort wiederum gelesen wird, zu diesem Datenwort ein Paritätsbit gebildet wird, das Paritätsbit mit dem vorhergehenden Paritätsbit dieses Datenwortes verglichen wird, das Datenwort bearbeitet wird, zu dem bearbeiteten, neuen Datenwort erneut ein Paritätsbit gebildet und gespeichert wird, und das neue, bearbeitete Datenwort nach Auslesen des Datenwortes aus der nächsthöheren Adresse in diese Adresse geschrieben wird.

Das erfindungsgemäße Verfahren bewirkt, daß die Datenwörter in dem RAM nicht mehr einer festen Adresse zugeordnet sind, sondern im Takt der Verarbeitungsschritte "im Kreis wandern". Dies bedeutet aber, daß ein bestimmtes Datenwort innerhalb einer Periode $N \cdot N$ sämtliche N Adressen "besucht". Dadurch ist es möglich, die Parität lediglich eines einzigen der N Datenwörter zu überwachen, und dennoch sämtliche Adressen periodisch auf Fehler zu überprüfen, ohne daß es notwendig wäre, bei jedem Verarbeitungsschritt auf jeder Adresse ein zusätzliches Paritätsbit mitzuspeichern.

Das Verfahren nach der Erfindung zeigt besondere Vorzüge, wenn die Datenwörter Filterkoeffizienten eines digitalen Filters für N Kanäle sind bzw. das digitale Filter ein adaptives FIR-Filter ist. Diese Anwendungsfälle sind nämlich zumindest in mobilen Endgeräten sehr energie- und raumkritisch.

Die Erfindung samt weiterer Vorteile ist im folgenden anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher erläutert. In der Zeichnung zeigen die Fig. 1a und 1b schematisiert den Ablauf des erfindungsgemäßen Verfahrens mit Bildung eines Paritätsbits jeweils im vierten Arbeitsschritt bzw. Takt.

In der Zeichnung ist schematisch ein Schreib-Lese-Speicher RAM dargestellt, in welchen zyklisch und linear Datenwörter D_i eingeschrieben werden. In dem vorliegenden Anwendungsbeispiel handelt es sich bei den Datenwörtern um Filterkoeffizienten eines adaptiven FIR-Filters für N PCM-Kanäle in einem Mobilfunk- oder Satellitenfunk-Endgerät, wobei das Filter zur Echokompensation eingesetzt ist. Es ist als Transversalfilter ausgebildet und enthält eine Laufzeitkette mit z. B. 508 Ausgängen, so daß ein Empfangsweg-Signal mit einer z. B. jeweils 125 μ s versetzten Laufzeit an jedem Ausgang ansteht. Jedes dieser Signale wird mit einem eigenen Koeffizienten – entsprechend einem Datenwort D_i – multipliziert und in einem Akkumulator aufsummiert. Durch geeignete Wahl der Koeffizienten läßt sich jeder Endechoweg kompensieren, sofern die Laufzeit im vorliegenden Fall kleiner ist als $508 \cdot 125 \mu$ s = 63,5 ms.

Die Koeffizienten = Datenwörter werden während jedes Taktes aus dem Speicher RAM gelesen, aktualisiert und neu berechnet und sodann wieder in den Speicher geschrieben.

In der oberen Hälfte der Zeichnung, nämlich in Fig. 1a, ist der Vorgang des Auslesens, Berechnens und Wiederschreibens für drei Takte T_3 , T_4 , T_5 von N Takten einer Periode gezeigt, in der rechten Hälfte der Zeichnung, nämlich in Fig. 1b, für drei Takte der folgenden Periode, d. h. für die Takte T_{N+3} , T_{N+4} , T_{N+5} .

Zur Überprüfung des Speichers RAM auf Fehler wird eine Fehlerprüfung mit Paritätsbits verwendet, wobei die Besonderheit des Verfahrens nach der Erfindung darin liegt, daß lediglich ein einziges der N Datenwörter mit einem Paritätsbit versehen wird, und dennoch eine Überprüfung des Speichers RAM an sämtliche Adressen möglich ist, was nachstehend beschrieben wird.

Es wird nun der Takt T_4 betrachtet, in dem ein Datenwort $D_{4,alt}$ aus der Adresse 3 gelesen und ein aktualisiertes, neu berechnetes Datenwort auf die Adresse 3 geschrieben wird. Zu dem Datenwort $D_{4,alt}$ wird ein Paritätsbit $P_{4,alt}$ gebildet, um mit einem Paritätsbit aus dem vorhergehenden Zyklus verglichen zu werden, was später erläutert wird.

Das ausgelesene Datenwort $D_{4,alt}$ wird nun bearbeitet, d. h. aktualisiert und neu berechnet – sofern erforderlich – und sodann wird zu dem neuen, bearbeiteten Datenwort $D_{4,neu}$ ein Paritätsbit $P_{4,neu}$ gebildet und abgespeichert. Im darauffolgenden Takt T_5 wird das neue Datenwort $D_{4,neu}$ nach Auslesen des Datenwortes $D_{5,alt}$ aus der nächsthöheren Adresse 4 in diese Adresse geschrieben. Es folgen die Lese-, Berechnungs- und Schreibvorgänge für die weiteren Takte T_6 , T_7 , usw., jedoch ohne Paritätsbitbildung, die nur in dem Takt T_4 vorgenommen wird.

N Takte später, d. h. nach genau einer Periode, wird innerhalb des vierten Taktes diese Periode, d. h. innerhalb des Taktes T_{N+4} , das Datenwort $D_{N,alt}$ wiederum gelesen, und es wird zu diesem Datenwort $D_{N,alt}$ ein Paritätsbit $P_{N,alt}$ gebildet. Dieses Paritätsbit $P_{N,alt}$ wird nun mit dem eine Periode zuvor gebildeten Paritätsbit $P_{4,neu}$ verglichen (Fig. 1a). Sind die verglichenen Paritätsbits nicht gleich, so kann auf einen Fehler im Speicher RAM geschlossen werden.

Nun wird das Datenwort $D4_{N,alt}$ bearbeitet, und sodann wird zu dem neuen, bearbeiteten Datenwort $D4_{N,neu}$ erneut ein Paritätsbit $P4_{N,neu}$ gebildet und gespeichert. Das neue, bearbeitete Datenwort $D4_{N,neu}$ wird nach Auslesen des Datenwortes $D5_{N,alt}$ aus der nächsthöheren Adresse 5 in diese Adresse geschrieben.

Das abgespeicherte Paritätsbit $P4_{N,neu}$ wird im darauffolgenden, hier nicht mehr dargestellten Zyklus mit einem analog gebildeten Paritätsbit $P42_{N,alt}$ verglichen (Fig. 1b).

Es ist ersichtlich, daß in dem beschriebenen Verfahren alle Datenwörter in jedem Zyklus um eine Adresse weiterwandern, somit auch das Datenwort $D4$, an dem die Paritätsoperation vorgenommen wird. Die Fehlerprüfung des Speichers RAM erfolgt somit nicht in jedem Zyklus (Periode) N für alle Speicherplätze gemeinsam, sondern in jedem Zyklus (Periode) immer nur für einen Speicherplatz, doch werden auf diese Weise auch sämtliche Speicherplätze regelmäßig alle $N \cdot N$ Takte auf Fehler geprüft.

Das Verfahren nach der Erfindung ist am Beispiel eines adaptiven FIR-Filters erläutert worden, doch ist es klar, daß dieses Verfahren für jeden Schreib-Lese-Speicher verwendet werden kann, in welchem Datenwörtern sequentiell und periodisch geschrieben bzw. aus diesem gelesen werden.

Patentansprüche

1. Verfahren zur Fehlerprüfung eines Schreib-Lese-Speichers mit N Adressen, in dem Datenwörter der Breite M gespeichert werden, wobei die Datenwörter sequentiell und periodisch in Verarbeitungsschritten aus dem Speicher gelesen, sodann bearbeitet und daraufhin wieder in den Speicher geschrieben werden, und die Datenwörter zur Fehlerprüfung mit Paritätsbits versehen werden, **dadurch gekennzeichnet**, daß innerhalb eines Taktes ($T4$) ein Datenwort ($D4_{alt}$) aus einer Adresse (3) gelesen und zu diesem Datenwort ein Paritätsbit ($P4_{alt}$) gebildet wird, das Datenwort bearbeitet wird, zu dem bearbeiteten, neuen Datenwort ($D4_{neu}$) ein Paritätsbit ($P4_{neu}$) gebildet und gespeichert wird, und das neue Datenwort ($D4_{neu}$) in dem darauffolgenden Takt ($T5$) nach Auslesen des Datenwortes ($D5_{alt}$) aus der nächsthöheren Adresse (4) in diese Adresse geschrieben wird, N Takte darauf innerhalb eines Taktes (T_{N+4}) das Datenwort ($D4_{N,alt}$) wiederum gelesen wird, zu diesem Datenwort ($D4_{N,alt}$) ein Paritätsbit ($P4_{N,alt}$) gebildet wird, das Paritätsbit ($P4_{N,alt}$) mit dem vorhergehenden Paritätsbit ($P4_{neu}$) dieses Datenwortes ($D4$) verglichen wird, das Datenwort ($D4_{N,alt}$) bearbeitet wird, zu dem bearbeiteten, neuen Datenwort ($D4_{N,neu}$) erneut ein Paritätsbit ($P4_{N,neu}$) gebildet und gespeichert wird, und das neue, bearbeitete Datenwort ($D4_{N,neu}$) nach Auslesen des Datenwortes ($D5_{N,alt}$) aus der nächsthöheren Adresse (5) in diese Adresse geschrieben wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Datenwörter Filterkoeffizienten eines digitalen Filters für N Kanäle sind.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß das digitale Filter ein adaptiertes FIR-Filter ist.

Hierzu 2 Seite(n) Zeichnungen

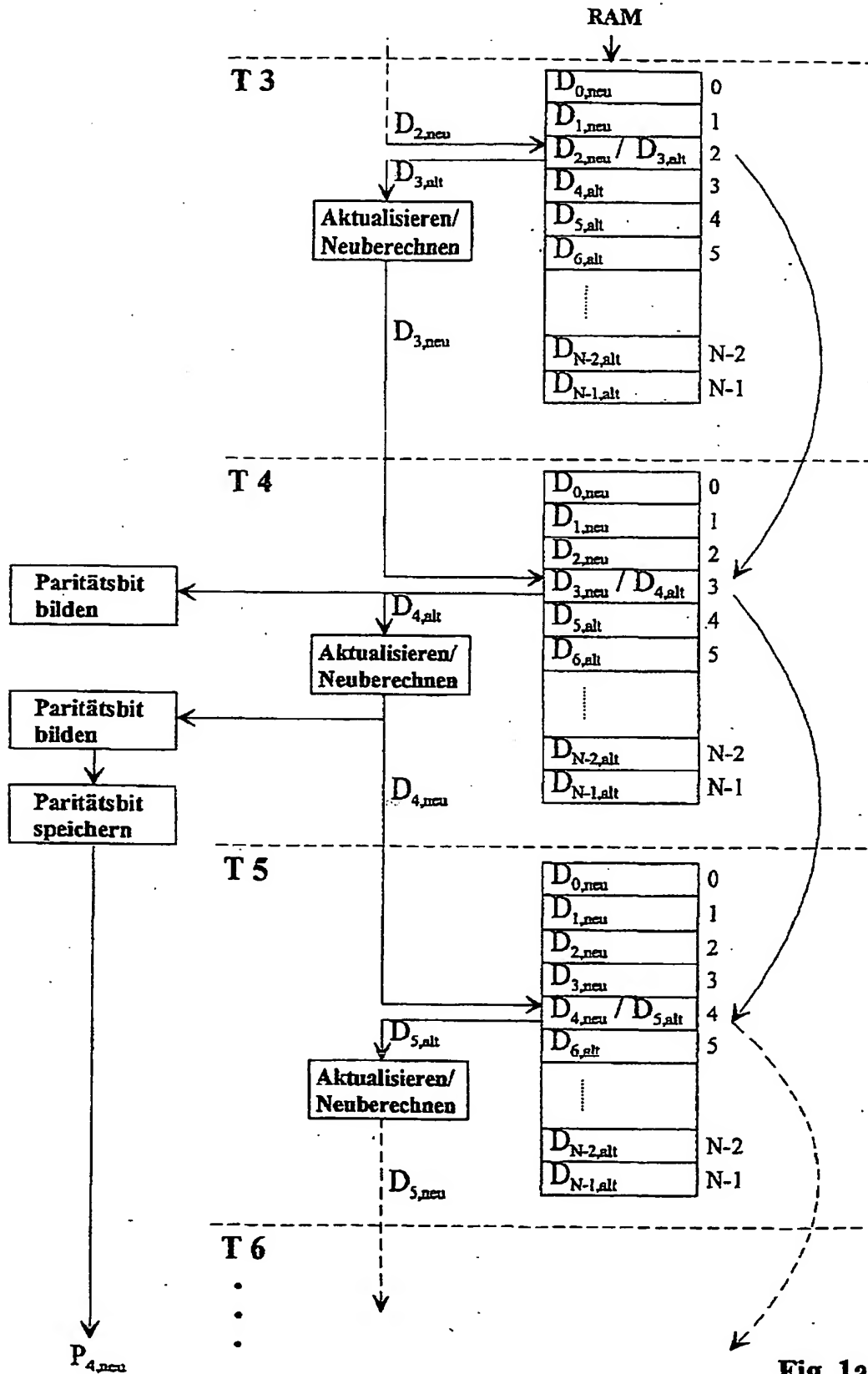


Fig. 1a

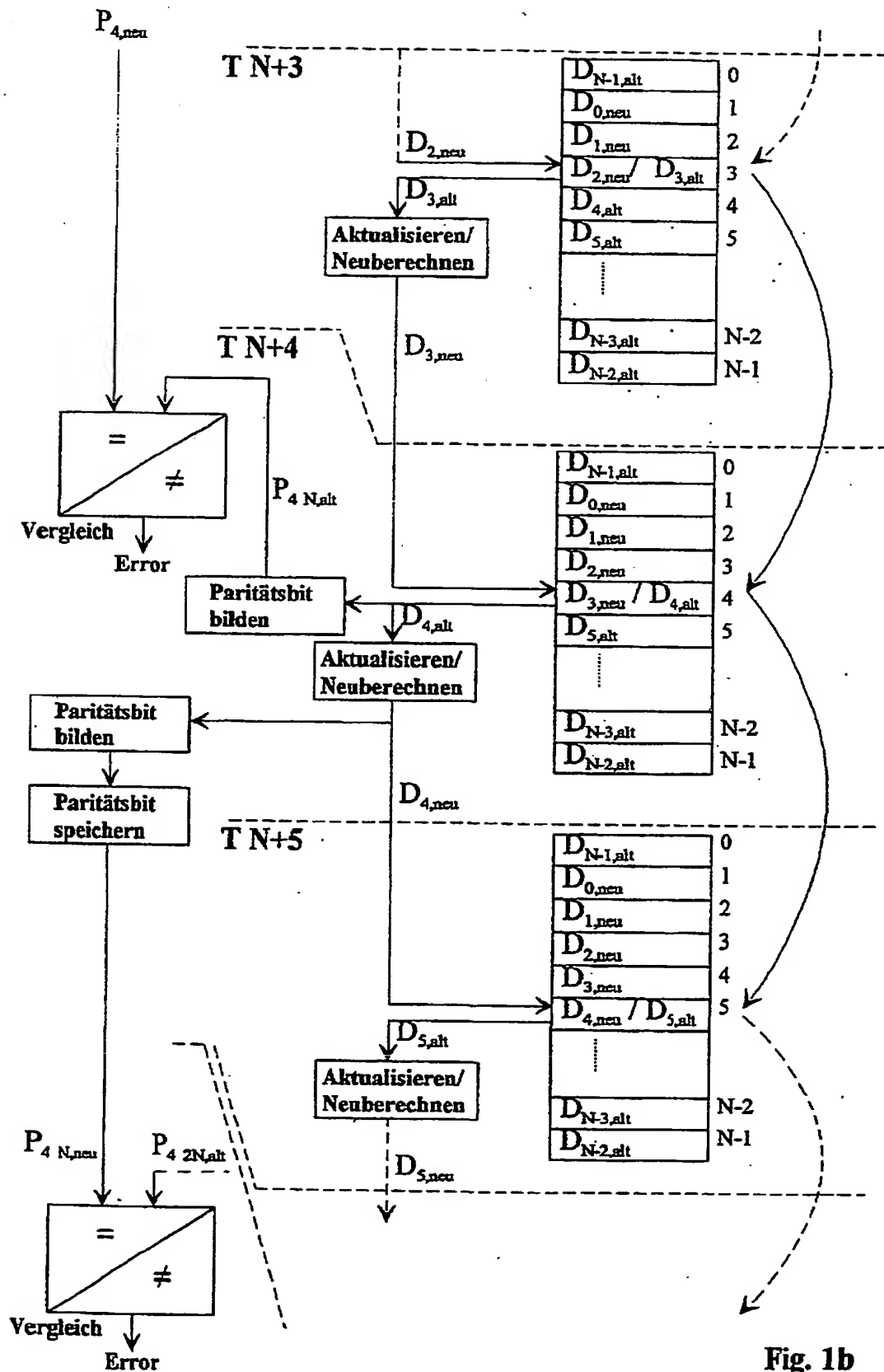


Fig. 1b

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.